

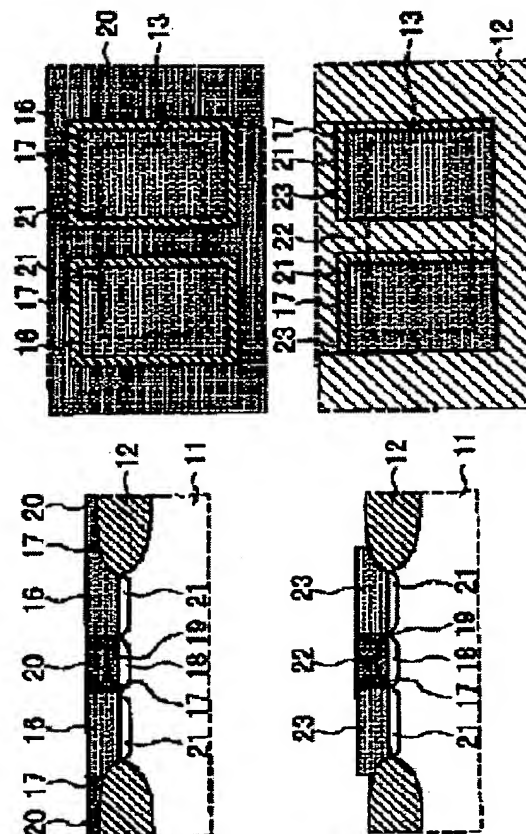
## MANUFACTURE OF INSULATED GATE SEMICONDUCTOR DEVICE

Patent number: JP11097687  
 Publication date: 1999-04-09  
 Inventor: NARA YASUO  
 Applicant: FUJITSU LTD  
 Classification:  
 - international: H01L29/78; H01L29/417; H01L21/336  
 - european:  
 Application number: JP19970256577 19970922  
 Priority number(s): JP19970256577 19970922

Report a data error here

## Abstract of JP11097687

**PROBLEM TO BE SOLVED:** To control the short-channel effect by forming a first film including impurity on a semiconductor substrate, providing an insulator to a sidewall of the first film by removing the first film in the gate electrode forming region, forming a gate insulated film by introducing impurities to the exposed surface of the semiconductor substrate and then forming a second film.  
**SOLUTION:** A gate oxide film 19 is formed by conducting an annealing process in the acidic gas atmosphere. A gate electrode and a polycrystalline silicon film 20 which becomes a gate leadout electrode are deposited. The polycrystalline silicon film 20 is etched until a thermal oxide film formed on the polycrystalline silicon pattern 16 is exposed, the polycrystalline silicon film 20 is embedded into the groove surrounded by a sidewall 17, thereafter the annealing process is executed in order to form a source/drain region 21 by diffusing in the solid phase the impurity from the polycrystalline silicon pattern 16. The polycrystalline silicon pattern 16 and polycrystalline silicon film 20 are etched to form the gate electrode 22 and a source drain electrode 23. Thereby, short-channel effect can be controlled.

Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97687

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 29/78  
29/417  
21/336

識別記号

F I  
H 0 1 L 29/78 3 0 1 X  
29/50 U  
29/78 3 0 1 P

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21) 出願番号 特願平9-256577

(22) 出願日 平成9年(1997) 9月22日

(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(72) 発明者 奈良 安雄  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(74) 代理人 弁理士 柏谷 昭司 (外2名)

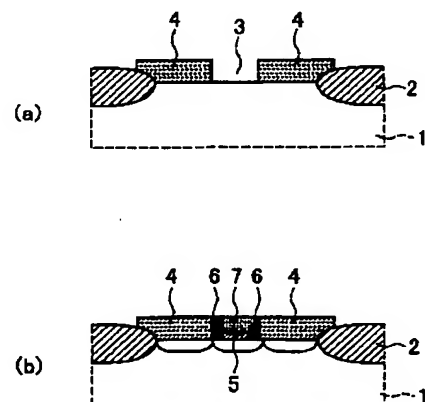
(54) 【発明の名称】 絶縁ゲート型半導体装置の製造方法

(57) 【要約】

【課題】 絶縁ゲート型半導体装置の製造方法に関し、  
フォトリソグラフィ工程の精度に依存することなく、  
且つ、ゲート絶縁膜のダメージを与えることなく、短チ  
ャネル効果を抑制した微細 I G F E T を形成する。

【解決手段】 半導体基板1上に、不純物を含む第1の  
膜4を形成したのち、ゲート電極形成領域3における第  
1の膜4を選択的に除去し、第1の膜4の側壁に絶縁物6  
を設けたのち、半導体基板1の露出面に不純物を導入  
し、次いで、ゲート絶縁膜5を形成したのち、第2の膜  
7を形成する。

本発明の原理的構成の説明図



1: 半導体基板  
2: 素子分離酸化膜  
3: ゲート電極形成領域  
4: 第1の膜  
5: ゲート絶縁膜  
6: 絶縁物  
7: 第2の膜

## 【特許請求の範囲】

【請求項1】 半導体基板上に不純物を含む第1の膜を形成する工程、ゲート電極形成領域における前記第1の膜を選択的に除去する工程、前記第1の膜の側壁に絶縁物を設ける工程、前記半導体基板の露出面に不純物を導入する工程、ゲート絶縁膜を形成する工程、及び、第2の膜を形成する工程を有することを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項2】 上記第1の膜がソース・ドレイン電極を構成し、上記第2の膜がゲート電極を構成することを特徴とする請求項1記載の絶縁ゲート型半導体装置の製造方法。

【請求項3】 上記第1の膜から上記半導体基板上に不純物を拡散させて、ソース・ドレイン領域を形成することを特徴とする請求項2記載の絶縁ゲート型半導体装置の製造方法。

【請求項4】 上記第2の膜を堆積させたのち、エッチバック法或いは化学機械研磨法のいずれかを用いて、前記第2の膜の一部が上記絶縁物で囲まれた領域に埋め込まれるように除去することを特徴とする請求項1乃至3のいずれか1項に記載の絶縁ゲート型半導体装置の製造方法。

【請求項5】 上記第1の膜及び第2の膜を、シリコン膜で形成することを特徴とする請求項1乃至4のいずれか1項に記載の絶縁ゲート型半導体装置の製造方法。

【請求項6】 上記第1の膜及び第2の膜に、イオン注入法によって不純物を導入することを特徴とする請求項5記載の絶縁ゲート型半導体装置の製造方法。

【請求項7】 上記イオン注入を行う際に、上記半導体基板上の一部の領域をマスクすることによって、前記マスクによって規定される所定の領域の第1の膜及び第2の膜に不純物を導入することを特徴とする請求項6記載の絶縁ゲート型半導体装置の製造方法。

【請求項8】 上記マスクに覆われた第1の膜及び第2の膜に、前記マスクを除去したのち、先に導入した上記不純物と異なった種類の不純物を導入することを特徴とする請求項7記載の絶縁ゲート型半導体装置の製造方法。

【請求項9】 上記第1の膜を、Ti、TiN、W、Ta、Co、及び、Niのいずれかとシリコン層との積層構造、或いは、Ti、TiN、W、Ta、Co、及び、Niのいずれかのシリサイドのいずれかで構成すると共に、上記第2の膜を、Ti、TiN、W、Ta、Co、及び、Niのいずれか、Ti、TiN、W、Ta、Co、及び、Niのいずれかとシリコン層との積層構造、或いは、Ti、TiN、W、Ta、Co、及び、Niのいずれかのシリサイドの、いずれかで構成することを特徴とする請求項1乃至4のいずれか1項に記載の絶縁ゲート型半導体装置の製造方法。

【請求項10】 上記第2の膜を堆積させたのち、上記

第1の膜及び前記第2の膜の所定の領域を、同時に選択的に除去することを特徴とする請求項1乃至9のいずれか1項に記載の絶縁ゲート型半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は絶縁ゲート型半導体装置の製造方法に関するものであり、特に、IGFET（絶縁ゲート型電界効果トランジスタ）における短チャネル効果防止構造の製造工程に特徴のある絶縁ゲート型半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】 従来より、半導体装置の高速化や低消費電力動作化が要請されており、この様な要請に応えるためには半導体装置を構成するIGFET自体の高性能化が必要であり、IGFETの高性能化のためには素子寸法を小さくする微細化が有効であると考えられてきた。

【0003】 この様に、素子を微細化した場合には、ゲート長の短縮に伴って所謂短チャネル効果が発生するため、この短チャネル効果を抑制するために、チャネル領域の不純物を高濃度化するのが一般的であった。

【0004】 しかし、従来のIGFETにおけるチャネルドープに際しては、半導体基板と同導電型の不純物がチャネル領域のみならずソース・ドレイン領域にもドープされるのが一般的であり、そのため、ソース・ドレイン領域のpn接合位置における不純物濃度が高まってp<sup>+</sup>/n<sup>+</sup>接合となり、接合容量や接合リーク電流の増大をもたらすことになる。

【0005】 この様な寄生容量となる接合容量の増大によって素子の動作速度が低下し、また、接合リーク電流の増大により素子の非動作時におけるスタンバイ電流が増加して消費電力の増大をもたらすため、高速且つ低消費電力デバイスには不適當であった。

【0006】 また、従来のイオン注入法によるソース・ドレイン領域やLDD（Lightly Doped Drain）領域の形成法は、pn接合の深さが深く短チャネル効果の抑制は十分ではなかった。

【0007】 そこで、ソース・ドレイン領域にチャネルドープの不純物が導入されずに短チャネル効果が防止され、且つ、ソース・ドレイン領域の深さが浅くなるデバイス構造が要請されるが、この内、ソース・ドレイン領域にチャネルドープの不純物が導入されない2つのデバイス構造が提案されているので、図5（必要ならば、特開昭63-241965号公報参照）及び図6（必要ならば、特開平5-55248号公報参照）を参照して説明する。

## 【0008】 図5（a）参照

まず、p型シリコン基板31の表面に熱酸化によって厚さ20nmのSiO<sub>2</sub>膜32を形成したのち、CVD法によって厚さ400nmのSiN膜を堆積させ、ゲート領域に開口部を有するSiN膜パターン33を形成す

3

る。

【0009】次いで、CVD法によって厚さ300nmのSiO<sub>2</sub>膜を堆積させたのち、異方性エッチングを施すことによって、SiN膜パターン33の側壁にサイドウォール34を形成し、次いで、サイドウォール34をマスクとしてB（ボロン）イオン35をイオン注入してp型のチャネルドープ領域36を形成する。

【0010】図5（b）参照

次いで、サイドウォール34を除去したのち、熱酸化によりゲート酸化膜37を形成し、次いで、全面に多結晶シリコン膜を堆積させたのち、エッチバックすることによって開口部に埋め込まれたゲート電極38を形成し、POCl<sub>3</sub>雰囲気中で熱処理することによってゲート電極38にPをドープする。

【0011】図5（c）参照

次いで、SiN膜パターン33を除去したのち、ゲート電極38をマスクとしてn型不純物をイオン注入することによってn型ソース・ドレイン領域39を自己整合的に形成する。

【0012】この場合には、チャネルドープ領域36を形成するために利用したSiN膜パターン33によって、n型ソース・ドレイン領域39を形成する際のマスクとなるドレイン電極38を形成しているのち、チャネルドープ領域36とn型ソース・ドレイン領域39とが重なることなく、接合容量が増大したり、接合リーク電流が増大することがない。

【0013】次に、図6を参照して、他の従来例を説明する。

図6（a）参照

まず、p型シリコン基板41の表面にゲート絶縁膜42を形成したのち、厚さ20nmの多結晶シリコン膜43及び厚さ200nmのSiO<sub>2</sub>膜を順次堆積させ、異方性エッチングを施すことによって開口部を有するSiO<sub>2</sub>膜パターン44を形成し、次いで、SiO<sub>2</sub>膜パターン44をマスクとしてp型不純物イオン45をイオン注入してp型のチャネルドープ領域46を形成する。

【0014】図6（b）及び（c）参照

次いで、CVD法を用いて全面に厚さ200nmの多結晶シリコン膜47を堆積させたのち、エッチバックを行うことによってSiO<sub>2</sub>膜パターン44に埋め込まれたゲート電極48を形成し、次いで、SiO<sub>2</sub>膜パターン44を除去したのち、ゲート電極48をマスクとしてn型不純物イオン49をイオン注入することによって、n型LDD領域50を形成する。

【0015】図6（d）参照

次いで、全面に厚さ60nmのSiO<sub>2</sub>膜を堆積させたのち、異方性エッチングを施すことによってゲート電極48の側壁にサイドウォール51を形成し、次いで、サイドウォール51をマスクとして多結晶シリコン膜43の露出部をエッチング除去したのち、サイドウォール5

4

1をマスクとしてn型不純物イオン52をイオン注入することによってn型ソース・ドレイン領域53を自己整合的に形成する。

【0016】この場合には、チャネルドープ領域46を形成するためのSiO<sub>2</sub>膜パターン44と、n型LDD領域50を形成する際のマスクとなるドレイン電極48が互いに反転パターンとなるので、チャネルドープ領域46とn型LDD領域50とが殆ど重なることなく、且つ、高不純物濃度のn型ソース・ドレイン領域53とは全く重ならないので、接合容量が増大したり、接合リーク電流が増大することがない。

【0017】

【発明が解決しようとする課題】しかし、図5に示した製造方法の場合には、ゲート長はフォトリソグラフィ工程によってSiN膜に形成した開口部、即ち、SiN膜パターン33の間隔によって決定されるため、ゲート長はフォトリソグラフィ工程の精度に依存することになり、微細IGFETの製造には適さないという問題がある。

【0018】また、n型ソース・ドレイン領域39の形成の際に、通常のイオン注入工程を用いているので、浅いpn接合の形成が困難であり、これらの理由によって、ゲート長が0.2μm以下のレベルの微細プロセスとしての採用は困難である。

【0019】また、図6に示した製造方法の場合には、ゲート絶縁膜42を介してイオン注入することによってチャネルドープ領域46を形成しているのち、ゲート絶縁膜42にイオン注入に伴うダメージが入り、高信頼性デバイスを製造することが困難である。

【0020】また、ゲート長は、SiO<sub>2</sub>膜に形成される開口部のパターンニングサイズ、即ち、SiO<sub>2</sub>膜パターン44の間隔で決定されるので、微細IGFETの製造には適さないという問題がある。

【0021】また、この場合も、n型LDD領域50及びn型ソース・ドレイン領域53の形成の際に、通常のイオン注入工程を用いているので、浅いpn接合の形成が困難であり、これらの理由によって、やはり、ゲート長が0.2μm以下のレベルの微細プロセスとしての採用は困難である。

【0022】したがって、本発明は、フォトリソグラフィ工程の精度に依存することなく、且つ、ゲート絶縁膜のダメージを与えることなく、短チャネル効果を抑制した微細IGFETを形成することを目的とする。

【0023】

【課題を解決するための手段】図1は本発明の原理的構成の説明図であり、この図1を参照して本発明における課題を解決するための手段を説明する。

図1参照

（1）本発明は、絶縁ゲート型半導体装置の製造方法において、半導体基板1上に不純物を含む第1の膜4を形

成する工程、ゲート電極形成領域3における第1の膜4を選択的に除去する工程、第1の膜4の側壁に絶縁物6を設ける工程、半導体基板1の露出面に不純物を導入する工程、ゲート絶縁膜5を形成する工程、及び、第2の膜7を形成する工程を有することを特徴とする。

【0024】この様に、本発明においては、ゲート電極となる第2の膜7が第1の膜4の側壁に設けた絶縁物6、即ち、サイドウォールに囲まれているので、サイドウォールの厚さ分だけ、ゲート長をフォトリソグラフィ工程の精度で決定される寸法よりも微細化することができるものであり、その他の順序は必ずしも上記の記載の順序とは限らない。

【0025】また、不純物を導入したのちゲート絶縁膜5を形成した場合には、ゲート絶縁膜5に、不純物の導入に伴うダメージが発生することがなく、また、第1の膜4の側壁に設けた絶縁物6を利用して不純物を導入した場合には、第1の膜4の直下に形成される不純物拡散領域と重ならず、接合容量が増加することがない。なお、半導体基板1の露出面とは、半導体基板1に形成したウエル領域であっても良く、また、図において、符号2は素子分離酸化膜を表す。

【0026】(2) また、本発明は、上記(1)において、第1の膜4がソース・ドレイン電極を構成し、第2の膜7がゲート電極を構成することを特徴とする。

【0027】この様に、不純物を含んだ第1の膜4は、そのままソース・ドレイン電極として用いることができる。

【0028】(3) また、本発明は、上記(2)において、第1の膜4から半導体基板1に不純物を拡散させて、ソース・ドレイン領域を形成することを特徴とする。

【0029】この様に、固相拡散を利用して第1の膜4から半導体基板1に不純物を拡散させてソース・ドレイン領域を形成することにより、イオン注入法を用いた場合よりも、再現性良く浅い接合を形成することができ、素子の微細化がより容易になる。

【0030】(4) また、本発明は、上記(1)乃至(3)のいずれかにおいて、第2の膜7を堆積させたのち、エッチバック法或いは化学機械研磨法のいずれかを第2の膜7の一部が絶縁物6で囲まれた領域に埋め込まれるように除去することを特徴とする。

【0031】本発明においては、ゲート電極は必ずしも埋込構造である必要はないが、この様な工程を採用することにより、フォトリソグラフィ工程を用いることなく、微細パターンのゲート電極を精度良く形成することができ、且つ、ソース・ドレイン電極との重なりをなくすることができるので、寄生容量を低減することができる。

【0032】(5) また、本発明は、上記(1)乃至(4)のいずれかにおいて、第1の膜4及び第2の膜7

を、シリコン膜で形成することを特徴とする。

【0033】この様に、本発明における第1の膜4及び第2の膜7は、シリコン膜、即ち、多結晶シリコン膜、微結晶シリコン膜、アモルファスシリコン膜、或いは、単結晶シリコン膜のいずれかで構成することが好適である。

【0034】(6) また、本発明は、上記(5)において、第1の膜4及び第2の膜7に、イオン注入法によって不純物を導入することを特徴とする。

【0035】この様に、第1の膜4及び第2の膜7に対するドーピングは、イオン注入法を用いて行っても良い。

【0036】(7) また、本発明は、上記(6)において、イオン注入する際に、半導体基板1上の一部の領域をマスクすることによって、マスクによって規定される所定の領域の第1の膜4及び第2の膜7に不純物を導入することを特徴とする。

【0037】この様に、マスクを用いることによって、所定の領域に、任意の特性を有するIGFETを形成することができる。

【0038】(8) また、本発明は、上記(7)において、マスクに覆われた第1の膜4及び第2の膜7に、マスクを除去したのち、先に導入した不純物と異なった種類の不純物を導入することを特徴とする。

【0039】この様に、異なった領域に互いに異なって不純物を導入することによって、CMOS(相補型MOSFET)等の各種の素子から構成させる半導体装置を形成することができる。

【0040】(9) また、本発明は、上記(1)乃至(4)のいずれかにおいて、第1の膜4を、Ti、TiN、W、Ta、Co、及び、Niのいずれかとシリコン層との積層構造、或いは、Ti、TiN、W、Ta、Co、及び、Niのいずれかのシリサイドのいずれかで構成すると共に、第2の膜7を、Ti、TiN、W、Ta、Co、及び、Niのいずれか、Ti、TiN、W、Ta、Co、及び、Niのいずれかとシリコン層との積層構造、或いは、Ti、TiN、W、Ta、Co、及び、Niのいずれかのシリサイドのいずれかで構成することを特徴とする。

【0041】この様に、本発明における第1の膜4及び第2の膜7は、上記の金属膜、金属膜とシリコン膜の積層構造、或いは、金属シリサイドのいずれかで構成しても良い。

【0042】(10) また、本発明は、上記(1)乃至(9)のいずれかにおいて、第2の膜7を堆積させたのち、第1の膜4及び第2の膜7の所定の領域を、同時に選択的に除去することを特徴とする。

【0043】この様に、第2の膜7をパターンニングしてゲート引出電極を形成する工程において、ソース・ドレイン電極となる第1の膜4も同時にパターンニングするこ

とによって、位置合わせ誤差による短絡等の問題の発生を回避することができる。

#### 【0044】

【発明の実施の形態】ここで、本発明の実施の形態を図2乃至図4を参照して説明する。

#### 図2(a) 参照

まず、p型シリコン基板11の表面に熱酸化により厚さ4nmのバッド酸化膜(図示せず)を形成したのち、CVD法によって厚さ20nmの窒化膜を堆積させ、所定の形状に窒化膜及びバッド酸化膜をエッチングすることによって選択酸化のための素子形成領域13を覆うように窒化膜パターン(図示せず)を形成し、高温の酸化性雰囲気中で選択酸化を行うことによって、素子分離酸化膜12を形成し、次いで、窒化膜パターン及びバッド酸化膜を除去したのち、減圧化学気相成長法(LPCVD法)を用いて全面に厚さ150~300nm、例えば、200nmで、不純物濃度が $1.0 \times 10^{20} \sim 2.0 \times 10^{21} \text{ cm}^{-3}$ 、例えば、 $5.0 \times 10^{20} \text{ cm}^{-3}$ のAsドープの多結晶シリコン膜14を堆積させる。

#### 【0045】図2(b) 参照

次いで、通常のリソグラフィ工程を用いて多結晶シリコン膜14をエッチングすることによって、チャネルドープ領域を形成するための幅、0.1~10.0 $\mu\text{m}$ 、例えば、0.2 $\mu\text{m}$ の開口部15を有する多結晶シリコンパターン16を形成する。

#### 【0046】図3(c) 参照

次いで、CVD法を用いて全面に厚さ30~150nm、例えば、40nmのSiO<sub>2</sub>膜を堆積させたのち、反応性イオンエッチング(RIE)による異方性エッチングを施すことによってサイドウォール17を形成し、次いで、サイドウォール17をマスクとして、5~40keV、例えば、20keVの加速エネルギーによって、 $2.0 \times 10^{12} \sim 2.0 \times 10^{13} \text{ cm}^{-2}$ 、例えば、 $1.0 \times 10^{13} \text{ cm}^{-2}$ のBをイオン注入してチャネルドープ領域18を形成する。

【0047】次いで、酸化性ガス雰囲気中において、800~1000℃、例えば、800℃の温度において、5~15分、例えば、10分間、アニール処理を行うことによって、厚さ、3~10nm、例えば、4nmのゲート酸化膜19を形成する。なお、図示を省略するものの、このアニール処理工程において、多結晶シリコンパターン16の表面にも熱酸化膜が形成される。

#### 【0048】図3(d) 参照

次いで、再び、LPCVD法を用いて全面に厚さ200~250nm、例えば、230nmのn型のゲート電極及びゲート引出電極となるP(リン)ドープの多結晶シリコン膜20を堆積させる。

#### 【0049】図4(e) 参照

次いで、エッチバックを行うことによって、多結晶シリコンパターン16上に形成された熱酸化膜(図示せず)

が露出するまで多結晶シリコン膜20をエッチングして、多結晶シリコン膜20の一部をサイドウォール17で囲まれた溝に埋め込んだのち、800~1000℃、例えば、1000℃の温度において、5~30秒、例えば、10秒間のアニール処理を行うことによって、多結晶シリコンパターン16から不純物を固相拡散させてn型のソース・ドレイン領域21を形成する。

【0050】なお、上記のゲート酸化工程の温度が1000℃程度である場合には、この時点で多結晶シリコンパターン16からの不純物の固相拡散が生ずるので、このアニール処理工程は必ずしも必要ではない。

#### 【0051】図4(f) 参照

次いで、多結晶シリコンパターン16及び多結晶シリコン膜20を同時にエッチングすることによって、ゲート電極22及びソースドレイン電極23を形成することによって、IGFETの基本構成が完成する。

【0052】なお、この場合、多結晶シリコンパターン16は必ずしもエッチングする必要はないが、エッチングマスクの位置合わせマージン等の関係で、多結晶シリコンパターン16の周囲に多結晶シリコン膜20の残渣が残った場合、短絡が発生する場合があるので、多結晶シリコンパターン16も同時にパターニングすることが望ましい。

【0053】この様に、本発明の実施の形態においては、ソース・ドレイン領域21を形成するための拡散源となる多結晶シリコンパターン16の側壁に設けたサイドウォール17を利用してチャネルドープ領域18を形成しているため、チャネルドープ領域18とソース・ドレイン領域21とが殆ど重ならず、特に、面積の大きなソース・ドレイン領域21の底部においてp<sup>+</sup>/n<sup>+</sup>接合が形成されず、したがって、寄生容量となる接合容量が増大することがないので、動作速度を高速にすることができ、また、pn接合がp<sup>+</sup>/n<sup>+</sup>接合とはならないので接合リーク電流が増加することがなく、低消費電力化が可能になる。

【0054】また、チャネルドープ領域18を形成したのち、ゲート酸化膜19を形成しているため、ゲート酸化膜19にイオン注入に伴うダメージが入ることがなく、信頼性が低下することがない。

【0055】また、ゲート電極22は、リソグラフィ工程の精度で限界が決定される開口部15の間隔ではなく、その内側に形成されるサイドウォール17の間隔で決定されることになるため、ゲート長をリソグラフィ限界で決定される寸法よりも短くすることができ、0.2 $\mu\text{m}$ 以下のチャネル長の微細IGFETを形成することができる。

【0056】なお、サイドウォール17の間隔は、サイドウォール17を形成するために堆積させたSiO<sub>2</sub>膜の厚さ、及び、異方性エッチングの時間等によって制御することができる。

【0057】また、n型ソース・ドレイン領域23は、多結晶シリコンパターン16からの固相拡散によって形成しているため、浅い接合を精度良く形成することができ、より効果的に短チャネル効果を抑制することができる。

【0058】また、チャネルドープ領域18を形成するためのパターンとゲート電極22を形成するためのパターンを、同じパターン、即ち、多結晶シリコンパターン16を利用して形成しているため、製造工程が特段増加することもない。

【0059】なお、ゲート電極22はエッチバックによる埋め込みによって形成する必要は必ずしもなく、通常のエッチングによって形成しても良く、その場合には、ソース・ドレイン電極23上に形成されている熱酸化膜（図示せず）を介してゲート電極の一部とソース・ドレイン電極とが重なることになる。

【0060】なお、上記の実施の形態においては、多結晶シリコン膜13、20として、不純物を含有した多結晶シリコン膜を直接堆積させているが、ノン・ドープの多結晶シリコン膜を堆積させたのち、As等のn型不純物をイオン注入してn型の多結晶シリコン膜にしても良い。

【0061】また、上記の実施の形態においては、多結晶シリコン膜20を減膜する際に、エッチバック法を用いているが、CMP（化学機械研磨）法を用いても良いものである。

【0062】また、上記の実施の形態においては、ゲート電極22及びソース・ドレイン電極23を形成するために多結晶シリコン膜13、20を用いているが、多結晶シリコン膜に限られるものではなく、アモルファスシリコン膜、微結晶シリコン膜、或いは、単結晶シリコン膜を用いても良いものである。

【0063】さらに、ソース・ドレイン電極23及びゲート電極22を構成するシリコン膜の代わりに、Ti、TiN、W、Ta、Co、或いは、Ni等の耐熱性を有する金属膜、或いは、これらの金属膜と多結晶シリコン膜の積層構造、或いは、これらの金属のシリサイド膜を用いても良いものである。

【0064】但し、ソース・ドレイン電極を形成するための膜は、拡散源も兼ねるので、上記の金属膜と多結晶シリコン膜の積層構造、或いは、これらの金属のシリサイド膜を用いることが望ましい。

【0065】なお、シリサイドを用いる場合には、シリサイド膜として成膜しても良いし、或いは、まず多結晶シリコン膜を堆積させたのち、上記の図4（e）の工程以降で上記の金属膜を堆積させ、アニールを行うことによってシリサイド化しても良い。

【0066】また、上記の実施の形態の説明においては、説明を簡単にするために、一個のIGFETの製造工程として説明しているが、本発明は半導体基板に複数

の異なったIGFETを形成する場合にも適用されるものであり、例えば、CMOSの製造工程にも適用されるものである。

【0067】CMOSを製造する際には、多結晶シリコン膜13或いは多結晶シリコン膜20として、ノン・ドープの多結晶シリコン膜を堆積させ、nチャネル型IGFETを形成する領域にはpチャネル型IGFETを形成する領域を覆うマスクを用いてAs等のn型不純物をドープし、一方、pチャネル型IGFETを形成する領域にはnチャネル型IGFETを形成する領域を覆うマスクを用いてB等のp型不純物をドープすれば良い。

【0068】

【発明の効果】本発明によれば、ソース・ドレイン形成用拡散源となるパターンを利用してチャネルドープ領域及びゲート電極を形成しているため、チャネルドープ領域と重ならない浅いソース・ドレイン領域を形成することができ、それによって、接合リーク電流を低減し、且つ、寄生容量を低減することができるので、半導体装置の高速動作化及び低消費電力化に寄与するところが大きい。

【図面の簡単な説明】

【図1】本発明の原理的構成の説明図である。

【図2】本発明の実施の形態の途中までの製造工程の説明図である。

【図3】本発明の実施の形態の図2以降の途中までの製造工程の説明図である。

【図4】本発明の実施の形態の図3以降の製造工程の説明図である。

【図5】従来の短チャネル効果防止型IGFETの説明図である。

【図6】従来の他の短チャネル効果防止型IGFETの説明図である。

【符号の説明】

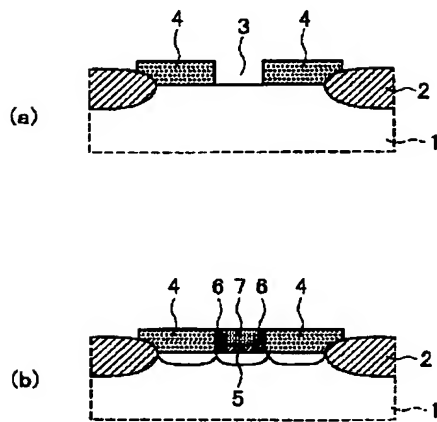
- 1 半導体領域
- 2 素子分離酸化膜
- 3 ゲート電極形成領域
- 4 第1の膜
- 5 ゲート絶縁膜
- 6 絶縁物
- 7 第2の膜
- 11 p型シリコン基板
- 12 素子分離酸化膜
- 13 素子形成領域
- 14 多結晶シリコン膜
- 15 開口部
- 16 多結晶シリコンパターン
- 17 サイドウォール
- 18 チャネルドープ領域
- 19 ゲート酸化膜
- 20 多結晶シリコン膜

11

- 2 1 ソース・ドレイン領域
- 2 2 ゲート電極
- 2 3 ソース・ドレイン電極
- 3 1 p型シリコン基板
- 3 2 SiO<sub>2</sub>膜
- 3 3 SiN膜パターン
- 3 4 サイドウォール
- 3 5 Bイオン
- 3 6 チャネルドープ領域
- 3 7 ゲート酸化膜
- 3 8 ゲート電極
- 3 9 n型ソース・ドレイン領域
- 4 1 p型シリコン基板

【図1】

本発明の原理的構成の説明図



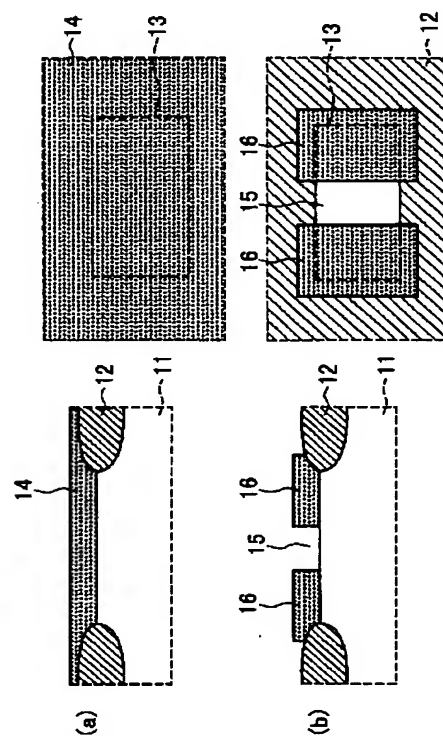
- 1: 半導体基板
- 2: 素子分離酸化膜
- 3: ゲート電極形成領域
- 4: 第1の膜
- 5: ゲート絶縁膜
- 6: 絶縁物
- 7: 第2の膜

12

- 4 2 ゲート絶縁膜
- 4 3 多結晶シリコン膜
- 4 4 SiO<sub>2</sub>膜パターン
- 4 5 p型不純物イオン
- 4 6 チャネルドープ領域
- 4 7 多結晶シリコン膜
- 4 8 ゲート電極
- 4 9 n型不純物イオン
- 5 0 n型LDD領域
- 10 5 1 サイドウォール
- 5 2 n型不純物イオン
- 5 3 n型ソース・ドレイン領域

【図2】

本発明の実施の形態の途中までの製造工程の説明図

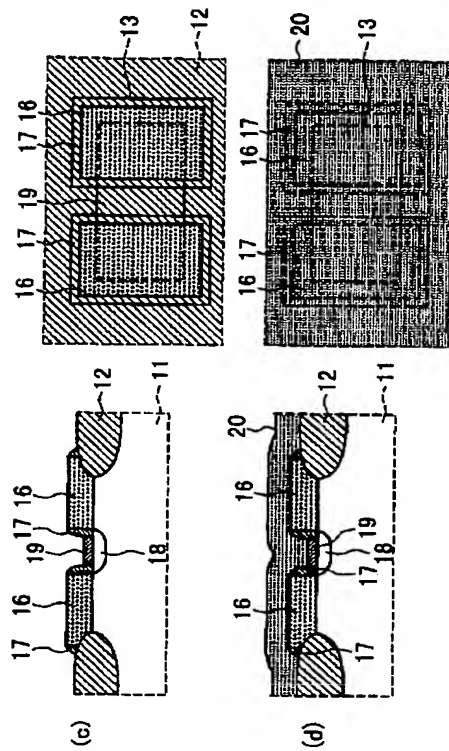


- 11: p型シリコン基板
- 12: 素子分離酸化膜
- 13: 素子形成領域
- 14: 多結晶シリコン膜
- 15: 開口部
- 16: 多結晶シリコンパターン



【図3】

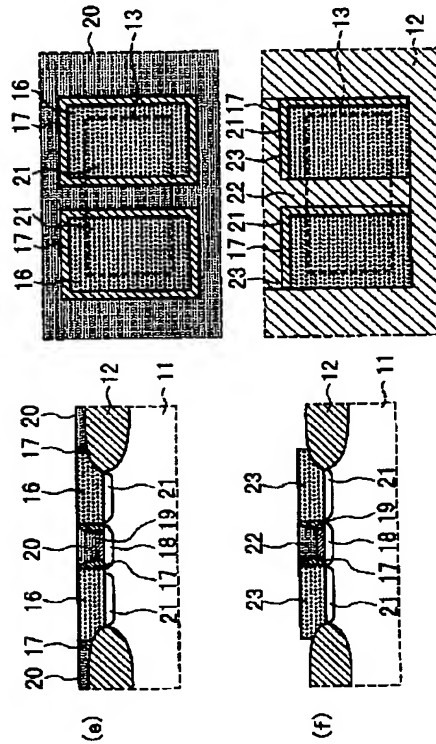
本発明の実施の形態の図2以降の途中までの製造工程の説明図



11: p型シリコン基板  
16: 多結晶シリコンパターンのシリサイドウォール  
20: 多結晶シリコン膜  
12: 素子分離酸化膜  
17: サイドウォール  
18: チャネルドープ領域  
19: ゲート酸化膜  
15: 開口部

【図4】

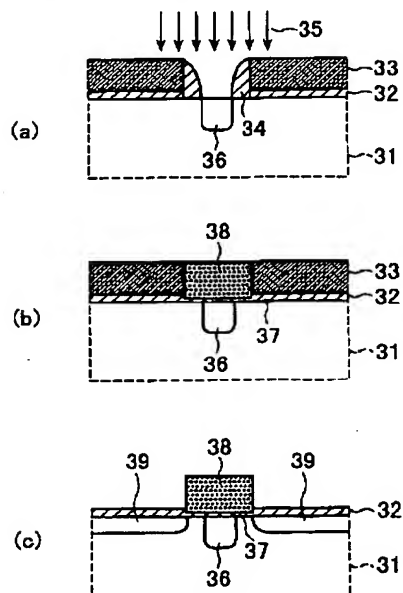
本発明の実施の形態の図3以降の製造工程の説明図



11: p型シリコン基板  
16: 多結晶シリコンパターンのシリサイドウォール  
20: 多結晶シリコン膜  
12: 素子分離酸化膜  
17: サイドウォール  
21: ソース・ドレイン領域  
22: ゲート電極  
23: ソース・ドレイン電極  
13: 素子形成領域  
18: チャネルドープ領域  
19: ゲート酸化膜  
15: 開口部

【図 5】

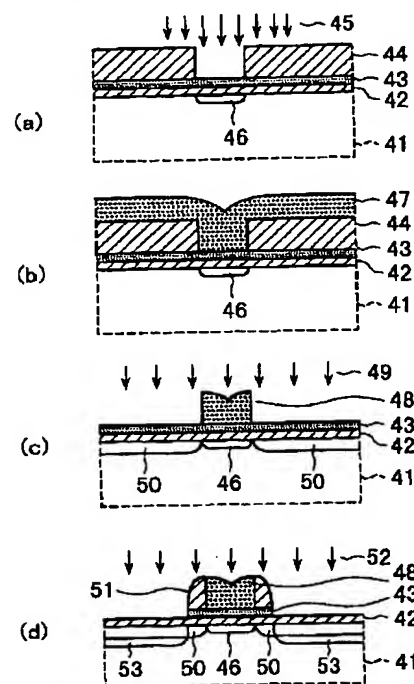
従来の短チャネル効果防止型 IGFET の説明図



- 31: p 型シリコン基板  
32: SiO<sub>2</sub> 膜  
33: SiN 膜パターン  
34: サイドウォール  
35: B イオン  
36: チャネルドープ領域  
37: ゲート酸化膜  
38: ゲート電極  
39: n 型ソース・ドレイン領域

【図 6】

従来の他の短チャネル効果防止型 IGFET の説明図



- 41: p 型シリコン基板  
42: ゲート絶縁膜  
43: 多結晶シリコン膜  
44: SiO<sub>2</sub> 膜パターン  
45: p 型不純物イオン  
46: チャネルドープ領域  
47: 多結晶シリコン膜  
48: ゲート電極  
49: n 型不純物イオン  
50: n 型 LDD 領域  
51: サイドウォール  
52: n 型不純物イオン  
53: n 型ソース・ドレイン領域

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**